



JP5120882

Biblio

Page 1

Drawing

esp@cenet**SEMICONDUCTOR STORAGE DEVICE**

Patent Number: JP5120882
Publication date: 1993-05-18
Inventor(s): ISHIBASHI KOICHIRO; others: 02
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP5120882
Application Number: JP19910282682 19911029
Priority Number(s):
IPC Classification: G11C11/413
EC Classification:
Equivalents:

Abstract

PURPOSE: To provide a static RAM which is highly integrated and has a low power consumption and can be operated with $\leq 2V$ low voltage.
CONSTITUTION: A low-power consumption boosting circuit 51 is used to raise the voltage of a word line 58 or a memory cell feed line 59, and the internal voltage for write of a high resistance type or TFT type memory cell is raised. Since the low-power consumption boosting circuit is used, the reduction of power consumption for wait as the feature of an SRAM is kept. Since the high resistance type or TFT type memory cell is used, high integration is obtained. Since the internal voltage of the cell for write is raised, a difference signal on a pair of bit lines is increased and the operation with $\leq 2V$ low voltage is possible at the time of read.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-120882

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.⁵..

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/413

7323-5L

G11C 11/34

335 A

7323-5L

J

審査請求 未請求 請求項の数8(全27頁)

(21)出願番号

特願平3-282682

(22)出願日

平成3年(1991)10月29日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 石橋 孝一郎

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 高杉 恒一

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 佐々木 勝朗

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 半導体記憶装置

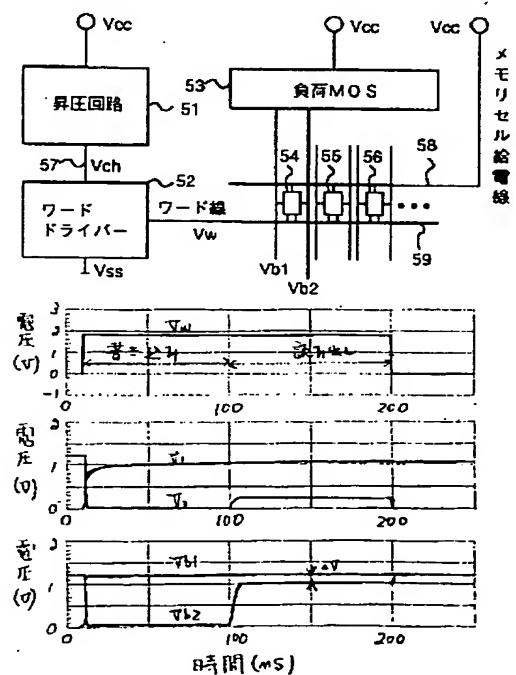
(57)【要約】

【目的】高集積かつ低消費電力かつ2V以下の低電圧動作が可能なスタティックRAMを提供する。

【構成】低消費電力昇圧回路51を用いてワード線58又はメモリセル給電線59の電圧を昇圧し、高抵抗型又はTFT型のメモリセルの書き込み時の内部の電圧を大きくする。

【効果】低消費電力昇圧回路を用いているのでSRAMの特徴である待機時の低消費電力化が保たれる。高抵抗型又はTFT型のメモリセルを用いているので高集積である。さらに、書き込み時のセル内部の電圧を大きくするので読みだ時、ビット線対に表れる差信号が大きくなり2V以下の低電圧動作が可能である。

(図5)



【特許請求の範囲】

【請求項1】第一導電型の2つの駆動MOSFET及び2つの転送MOSFETと、2つの抵抗又は薄膜トランジスタからなる負荷素子とにより構成されたスタティック型のメモリセルが半導体基体上にアレー状に形成され、上記駆動MOSFETのソース電極が第1動作電位点に接続され、上記負荷素子の一方の電極が第2動作電位点に接続された半導体記憶装置であって、上記第1動作電位点と上記第2動作電位点との間の電源電圧を V_{cc} 、上記駆動MOSFETのしきい値電圧を V_{th} としたとき、上記メモリセルに情報を書き込む動作の間に、上記メモリセル内の2つのノードのうちの1つのノードの電圧を $V_{cc}-V_{th}$ より大きい電圧とすることを特徴とした半導体記憶装置。

【請求項2】第一導電型の2つの駆動MOSFET及び2つの転送MOSFETと、2つの抵抗又は薄膜トランジスタからなる負荷素子とにより構成されたスタティック型のメモリセルが半導体基体上にアレー状に形成され、上記駆動MOSFETのソース電極が第1動作電位点に接続され、上記負荷素子の一方の電極が第2動作電位点に接続された半導体記憶装置であって、上記半導体基体上には少なくとも上記転送MOSFETのゲート電極に接続されたワード線を駆動するためのワードドライバと、上記第1動作電位点と上記第2動作電位点との間の電源電圧よりも大きい電圧の第一の電圧を発生する第一の電圧発生回路を具備し、上記第一の電圧が、上記ワードドライバ回路に供給され、上記ワード線のローレヘルおよびハイレベルの電圧をそれぞれ上記第1動作電位点の電圧と上記第一の電圧とすることを特徴とした半導体記憶装置。

【請求項3】第一導電型の2つの駆動MOSFET及び2つの転送MOSFETと、薄膜トランジスタからなる負荷素子とにより構成されたスタティック型のメモリセルが半導体基体上にアレー状に形成され、上記駆動MOSFETのソース電極が第1動作電位点に接続され、上記負荷素子の一方の電極が第2動作電位点に接続された半導体記憶装置であって、上記第1動作電位点と上記第2動作電位点との間の電源電圧よりも大きい電圧の第一の電圧を発生する第一の電圧発生回路を具備し、上記第一電圧を、上記メモリセルアレーの電源に供給することを特徴とした半導体記憶装置。

【請求項4】第一導電型の2つの駆動MOSFET及び2つの転送MOSFETと、2つの抵抗又は薄膜トランジスタからなる負荷素子とにより構成されたスタティック型のメモリセルが半導体基体上にアレー状に形成され、上記駆動MOSFETのソース電極が第1動作電位点に接続され、上記負荷素子の一方の電極が第2動作電位点に接続された半導体記憶装置であって、上記半導体基体上には少なくとも上記転送MOSFET

のゲート電極であるワード線を駆動するためのワードドライバと、上記第2動作電位点の電圧よりも低い電圧の第二の電圧を発生する第二の電圧発生回路を具備し、上記第二の電源電圧が、上記ワードドライバ回路に供給され、上記ワード線のローおよびハイの電圧がそれぞれ上記第二の電圧と、外部から供給される電源電圧であり、上記メモリセルの転送MOSFETのしきい値電圧を駆動MOSFETのしきい値電圧より小さくしたことを特徴とした半導体記憶装置。

【請求項5】コンデンサと接続されるとともに、少なくとも第一のスイッチを介して第一の電流源が接続された第一のノードと、第二の電流源および第一のダイオードと接続されるとともに、少なくとも第二のスイッチを介して第二のダイオード素子が接続された第二のノードと、上記第一のノードと第二のノードの電圧を比較してその結果を上記第一及び第二のスイッチを制御する手段を用いて第一のパルス状の電圧を発生する第一のパルス電圧発生回路を具備し、上記第一のパルス状電圧を利用して、電源電圧よりも高い電圧又は接地電圧よりも低い電圧を得る手段を半導体基体上に集積したことを特徴とする半導体記憶装置。

【請求項6】請求項5に記載の上記第一のパルス電圧発生回路と、上記第一のパルス状電圧の周波数よりも大きな周波数の第二のパルス状電圧を発生する第二のパルス電圧発生回路を具備し、半導体記憶装置が動作状態の時には上記第二のパルス電圧発生回路を動作させ、半導体記憶装置が待機状態の時には上記第二のパルス電圧発生回路の動作を中止させる一方、上記第一のパルス電圧発生回路を動作させてパルス状電圧を発生し、上記第一のパルス状電圧を利用して、電源電圧よりも大きい電圧又は接地電圧よりも小さい電圧を得る手段を半導体基体上に集積したことを特徴とする半導体記憶装置。

【請求項7】第一導電型の2つの駆動MOSFET及び2つの転送MOSFETと、2つの抵抗又は薄膜トランジスタからなる負荷素子、により構成されたスタティック型のメモリセルが半導体基体上にアレー状に形成され、上記駆動MOSFETのソース電極が第1動作電位点に接続され、上記負荷素子の一方の電極が第2動作電位点に接続された半導体記憶装置であって、上記半導体基体上には少なくとも上記転送MOSFETのゲート電極に接続されたワード線を駆動するためのワードドライバと、上記2つの転送MOSFETにそれぞれ接続された一対のビット線と、上記ビット線の負荷素子と、外部から供給される電源電圧よりも高い電圧の第一の電圧を発生する第一の電圧発生回路を具備し、上記第一の電圧が、上記ワードドライバ回路に供給され、

上記ワード線の電圧が第一の時間に上記外部から供給される電源電圧と同じあるいはそれよりも低い電圧に設定され、

上記ワード線の電圧が上記第一の時間よりも後の第二の時間に上記第一の電圧となることを特徴とした半導体記憶装置。

【請求項8】上記ビット線負荷を上記第二の時間の前に非導通状態にし、上記メモリセルに上記ビット線を介して情報を書き込むのは少なくとも上記ワード線の電圧が上記第一の電圧に設定されている時間を含むことを特徴とした請求項7に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に係り、特に低電圧で動作するスタティックRAMに好適な半導体記憶装置に関する。

【0002】

【従来の技術】従来、スタティックRAMを低電圧で動作させる技術に関しては、1990シンポジウム・オン・ヴィエルエスアイ・サーキット、ダイジェスト・オブ・テクニカル・ペーパーズ(1990年)第53頁から第54頁(1990 Symposium on VLSI Circuit, Digest of Technical Papers(1990) pp.53-54,以下第1の従来技術と言う)に記載されている。

【0003】また、高集積スタティックSRAM技術に関しては、1990アイ・イー・イー・イー・インターナショナル・ソリッドステート・サーキット・コンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ(1990年)第132頁から第133頁(1990 IEEE International Solid-State Circuit Conference, Digest of Technical Papers(1990) pp.132-133,以下第2の従来技術と言う)に記載されている。

【0004】また、後述するTFT型メモリセルを用いたスタティックRAMの技術に関しては、1989シンポジウム・オン・ヴィエルエスアイ・サーキット、ダイジェスト・オブ・テクニカル・ペーパーズ(1989年)第29頁から第30頁(1989 Symposium on VLSI Circuit, Digest of Technical Papers(1989) pp.29-30,以下第3の従来技術と言う)に記載されている。

【0005】一方、低電力で、外部から供給される電圧の範囲外の電源電圧を発生する回路(基板バイアス発生回路、又は、昇圧回路)の技術に関しては、1988シンポジウム・オン・ヴィエルエスアイ・サーキット、ダイジェスト・オブ・テクニカル・ペーパーズ(1988年)第51頁から第52頁(1988 Symposium on VLSI Circuit, Digest of Technical Papers(1988) pp.53-54,以下第5の従来技術と言う)に記載されている。

【0006】

【発明が解決しようとする課題】スタティックRAMのメモリセルの回路を、図2に示す、

【0007】上記第1の従来技術は、図2の上図に示すように、半導体基板平面上に、4つのNMOSFET $N1 \sim N4$ と2つのPMOSFET $P1, P2$ とを集積してなる、いわゆる完全CMOS型のメモリセルを用いている。本従来技術では、1Vまでの低電圧動作を実現しているが、同一平面上に6つのMOSFETを集積してメモリセルを構成しなければならないため、メモリセルの面積が大きくなる問題に対して考慮されていなかった。

【0008】一方、上記第2の従来技術は、図2の下図に示すように、4つのNMOSFET $N1 \sim N4$ の上に高抵抗の負荷 $R1, R2$ を積層したいわゆる高抵抗型メモリセルを用いている。完全CMOS型メモリセルと異なり、高抵抗型のメモリセルは面積を小さくできるので、4Mビットの高集積メモリを実現できる。しかし、電源電圧は3.3Vであり、それ以下の低電圧動作に関しては考慮されていなかった。

【0009】一方、上記第3の従来技術は、図2の中図に示すように4つのNMOSFET $N1 \sim N4$ の上に薄膜トランジスタ(TFT)である $T1, T2$ を積層したTFT型メモリセルを用いている。本従来例では、高抵抗型メモリセルとほぼ同等の面積でSRAMのメモリセルを実現でき、また、TFTの電流により高抵抗セルよりも低電圧動作が可能であるが2Vまでが限界であった。

【0010】以上述べたように上記3つの従来技術では、いずれも高集積でかつ2V以下の低電圧動作を同時に実現することはできなかった。

【0011】低電圧動作に関する問題を明らかにするために、本発明者等は、上記第1の従来例に用いられている低電圧動作が可能な完全CMOS型のメモリセルと、上記第2の従来例に用いられている低電圧動作ができない高抵抗型のメモリセルの動作の違いについて検討をおこなった。

【0012】図3は、完全CMOS型のメモリセルと、高抵抗型のメモリセルとにそれぞれデータを書き込んだときのメモリセル内部の電圧波形をシミュレーションにより求めたものである。いずれも電源電圧は1.2Vである。

【0013】図3では、図2の上図および下図で転送MOSFET $N3$ を通して、左側のノードV1がローレベル(以下" L"と略す)からハイレベル(以下" H"と略す)へ書き込まれるようすをシミュレーションした。

【0014】図2の上図および下図のいずれのメモリセルでもノードV1は、まず転送MOSFET $N3$ を通して書き込まれるが、転送MOSFETがNMOSFETであるために、電源電圧 V_{cc} からしきい値電圧 V_{th} だけ小さい電圧 $V_{cc} - V_{th}$ がまず書き込まれることになる。その後、高抵抗型のメモリセルでは、負荷抵抗 $R1$

の抵抗値が大きいために充電が行われず、書き込まれた電圧は低い状態が続く。一方、完全CMOSセルの場合は、PMOSFET P1が高速に充電を行うために、V1が迅速に電源電圧にまで充電される。高抵抗型のメモリセルと完全CMOS型のメモリセルのノードV1の電圧波形が、図3の下の方の二つの図に示されている。

【0015】図4は、ゲートとドレインとがクロスキャプブル接続されたNチャンネルの駆動トランジスタN1、N2とゲートがワード線に接続されたNチャンネルの転送トランジスタN3、N4とからなるフリップフロップ回路のメモリセルからデータを読み出す場合をシミュレーションしたものである。

【0016】図4の右図に示すように読み出し動作の前の電圧V1が十分大きい場合には、2本のビット線の電位Vb1とVb2の電位差があり、これをセンスアンプによって増幅することによってデータを得ることが可能である。しかしながら、図4の左図に示すように読み出し動作の前の電圧V1が小さい場合には読み出し時にメモリセル内部の電圧V1とV2がほとんど同じ電圧になり、結果として、ビット線の電位差は極めて小さいものになってしまう。従って、ビット線の電位差をセンスアンプによって増幅してデータを読み出すことができない。

【0017】図3、図4で示したシミュレーション結果によれば、以下の結論に達することができる。図2の上図の完全CMOSセルの場合、データの書き込み時、ノードの電圧がPMOSFETによって充電され電源電圧に近い電圧になるために、その後の読み出しでビット線に十分大きな電位差が得られこれを増幅してデータ読むことができる。一方、図2の下図の高抵抗負荷の場合には、負荷の抵抗が大きいために書き込まれた電圧が十分小さくなく、その後の読み出し時にビット線に電位差が表れないため、データを読むことができない。一方、先に示した第3の従来例では、負荷にTFTを用いてメモリセル内のノードを充電し、書き込み中のメモリセル内ノード電圧を大きくしていた。しかし、図2の中図のTFT型メモリセルといえども電源電圧が2Vよりも小さい場合にはTFTの電流駆動能力が、完全CMOS型メモリセルのPMOSFETよりもはるかに小さくなってしまい、従って、実質的には高抵抗型のメモリセルと同じ問題でデータを読み出すことができなくなる。

【0018】本発明は従来例の以上の解析結果を基礎としてなされたものであり、その目的とするところは、メモリセル面積が小さく、すなわち、高抵抗型又はTFT型のメモリセルを用いながら、2V以下の低電圧動作を達成することの可能なスタティック型の半導体記憶装置を提供することにある。

【0019】この目的は、言うまでもなく低消費電力でデータを保持できるというSRAMの特徴を損なうことなく達成されなければならない。

【0020】

【課題を解決するための手段】本発明の第1の実施形態は、高抵抗型、又はTFT型のメモリセルにおいて、書き込み時メモリセル内の“H”レベルの電圧を、駆動MOSFETの基板バイアス効果を含めたしきい値電圧を V_{th} とすると、 $V_{cc}-V_{th}$ よりも高い電圧にする手段を具備することを特徴とするものである。

【0021】本発明の第2の実施形態は、高抵抗型、又はTFT型のメモリセルを用いるSRAMで、電源電圧よりも高い第二の電圧を発生する昇圧回路を用い、ここで発生する電圧をワードドライバ回路に供給しワード線の“H”および“L”の電圧を、それぞれ第二の電源電圧と接地電圧に割り当てる手段を具備することを特徴とするものである。

【0022】本発明の第3の実施形態は、TFT型のメモリセルを用いるSRAMで、電源電圧よりも高い第二の電圧を発生する昇圧回路を用い、ここで発生する電圧をメモリセルの負荷であるTFTの給電線に供給する手段を具備することを特徴とするものである。

【0023】本発明の第4の実施形態は、高抵抗型、又はTFT型のメモリセルを用いるSRAMで、接地電位よりも低い負の電圧を発生する負電圧発生回路を内蔵し、ここで発生する電圧をワードドライバ回路に供給しワード線の“H”および“L”の電圧を、それぞれ電源電圧と上記負の電圧に割り当てる一方、メモリセルの転送MOSFETのしきい値電圧を駆動MOSFETのしきい値電圧よりも小さくする手段を具備することを特徴とするものである。

【0024】本発明の第5の実施形態は、コンデンサとスイッチを介して電流源が接続されたノードのと、スイッチを介してダイオード素子が接続されたノードとがあつて、これらのノード電圧を比較してその結果によりスイッチを制御することによってパルス電圧を発生させ、このパルス電圧を用いて昇圧された電圧又は、負の電圧を発生する電圧変換回路を半導体基板上に具備することを特徴とするものである。

【0025】本発明の第6の実施形態は、上記第5の実施形態のパルス電圧発生回路を待機時用パルス電圧発生回路とし、上記パルスの周波数よりも大きな周波数のパルスを発生する動作時用パルス電圧発生回路があり、半導体記憶装置が動作状態の時には動作時用パルス電圧発生回路を動作させ、半導体記憶装置が待機状態の時には動作時用パルス電圧発生回路の動作を中止させる一方、待機時用パルス電圧発生回路を動作させてパルス状電圧を発生し、これらのパルス電圧を利用して、昇圧された電圧又は、負の電圧を発生する電圧変換回路を半導体基板上に具備することを特徴とするものである。

【0026】

【作用】上述した如く、SRAMの低電圧動作の為に、書き込み時のメモリセル内部の電圧を大きくすれば

よい。

【0027】従来、書き込み時のメモリセルの内部の電圧は $V_{cc}-V_{th}$ であったが、本発明の第1の実施形態によれば、書き込み時のメモリセルの内部の電圧を $V_{cc}-V_{th}$ よりも大きくできるので2V以下のSRAMの低電圧動作を可能にする効果がある。

【0028】本発明の第2の実施形態によれば、昇圧回路を用いることにより、ワード線が“H”の時の電圧を電源電圧 V_{cc} よりも大きい電圧 V_{ch} にすることができる。従って、書き込み時のメモリセル内部の電圧を $V_{cc}-V_{th}$ よりも大きい値である $V_{ch}-V_{th}$ にできるので2V以下のSRAMの低電圧動作を可能にする効果がある。

【0029】TFT型メモリセルの負荷であるTFTは低電圧においては電流駆動能力がなく、完全CMOS型メモリセルのように書き込み時の短い時間内にメモリセル内部の電圧を充電する能力がなかった。一方、本発明の第3の実施形態によれば、昇圧回路を用い、その電圧をTFTに供給してTFTの電流駆動能力を大きくする。従って、書き込み時のメモリセルの“H”の電圧をTFTにより急速に充電して高くできるので、2V以下のSRAMの低電圧動作を可能にする効果がある。

【0030】本発明の第4の実施形態によれば、メモリセルの転送MOSFETのしきい値電圧を小さくするので、書き込み時のメモリセル内部の電圧 $V_{cc}-V_{th}$ の V_{th} を小さくすることになる。これにより、書き込み時のメモリセル内部の電圧を大きくし、2V以下のSRAMの低電圧動作を可能にする効果がある。通常、転送MOSFETのしきい値電圧を下げると、ワード線の電圧が0Vのときのリーク電流が増加する問題がある。しかし、本発明の第4の実施形態によれば、ワード線のオフ時の電圧を負の電圧にするので、転送MOSFETを完全にオフ状態にでき、リーク電流が増加する問題を回避できる。

【0031】一方、本発明の第2、第3、第4の実施形態には昇圧回路又は負電圧発生回路を必要とする。本発明の第5の実施形態によれば、パルス電圧を電流源に流れる電流と比較回路に流れる電流だけで得ることができる。従って、この手段を用いて低消費電流で昇圧電圧又は負電圧を発生し、第2、第3、第4の実施形態と組み合わせることによって、低電圧動作のSRAMを低消費電流で実現できる効果がある。

【0032】また、本発明の第6の実施形態によれば、低消費電流である待機時用パルス電圧発生回路と高速な動作時用パルス発生回路を用いる。そして、半導体記憶装置が動作状態の時には動作時用パルス電圧発生回路を動作させ、半導体記憶装置が待機状態の時には動作時用パルス電圧発生回路の動作を中止させる一方、待機時用パルス電圧発生回路を動作させてパルス状電圧を発生し、これらのパルス電圧を利用して、昇圧された電圧又

は、負の電圧を発生する電圧変換回路を実現する。従って、動作時には負荷の大きい昇圧電圧又は負電圧を発生でき、待機時には低消費電流で昇圧電圧又は負電圧を発生できる。従って、この手段を用いて待機時には低消費電流で昇圧電圧又は負電圧を発生し、第二、第三、第4の実施形態と組み合わせることによって、低電圧動作のSRAMを待機時には低消費電流で実現できる効果がある。

【0033】

【実施例】以下本発明の実施例を図面を参照して、詳細に説明する。

【0034】本発明の第一の実施例のSRAMのメモリセルの回路図と動作波形の概念図を、図1に示す。

【0035】図1において、N1、N2はNチャンネルの駆動MOSFET、N3、N4はNチャンネルの転送MOSFET、T1、T2はTFT、 V_w はワード線、 V_m はメモリセルの給電線、 V_{b1} 、 V_{b2} はビット線、11はYスイッチ、12は共通データ線、13はセンスアンプである。SRAMにおいてはよく知られているように、メモリセル内部に蓄積されている情報に対応して、ビット線 V_{b1} 、 V_{b2} の間に電位差 ΔV が発生し、これをセンスアンプで増幅してデータとして出力する。図1の波形図において、従来例ではメモリセルに書き込まれた電圧 V_1 は、このノードが転送MOSFET N3を通して書き込まれる。つまり、給電線 V_m の外部電源電圧 V_{cc} と同じワード線の電圧から転送MOSFETのしきい値電圧 V_{th} を引いた電圧すなわち、 $V_{cc}-V_{th}$ の電圧が書き込まれる。従って、電源電圧 V_{cc} が小さくなると、書き込まれる電圧もそれに伴い小さくなることになる。次に読み出しの動作が行われる時、MOSFET N2のゲート電圧は V_1 に書き込まれた電圧がそのまま印加されていることになる。従って、従来例のように V_1 に書き込まれた電圧がMOSFET N2のしきい値電圧より小さくなるか、もしくは同じ程度になってしまう場合には、ワード線が“H”になってもMOSFET N2には電流が流れないか、もしくは流れても極めて小さい電流になる。その結果、ビット線に現われる電位差 ΔV はきわめて小さいものになってしまうので、その後この電位差 ΔV をセンスアンプ13で増幅してデータとして取り出すことができない。

【0036】一方本発明は、書き込み時の V_1 の電圧を $V_{cc}-V_{th}$ より大きくする機能を備えるものであるが、この場合には読み出し動作を行った場合MOSFET N2のゲート電極には十分大きな電圧が印加されているためにそこに電流が流れる。その結果、十分大きなビット線電位差 ΔV を得ることができる。従って、この電位差をセンスアンプ13で増幅してデータとして取り出すことが可能である。

【0037】従来例では上記に述べた書き込み時に書かれる V_1 の電圧が小さいために2V以上の電圧でしか動

作させることができなかった、しかしながら、本発明の第一の実施例においては、書き込み時の V_1 の電圧を従来例の場合より大きくするので2V以下の低電圧動作を可能にする効果がある。

【0038】本発明の第二の実施例のブロック図と内部波形のシミュレーション結果を図5に示す。

【0039】図5において、51は昇圧回路、52はワードドライバ、53は負荷MOSFET、54、55、56は高抵抗型または、TFT型のメモリセル、57は昇圧回路51により電源電圧 V_{cc} よりも大きな電圧 V_{ch} に昇圧された電源端子、58はメモリセル給電線、59はワード線である。本実施例では、昇圧回路51により電源電圧 V_{cc} より大きな電圧 V_{ch} を発生し、これをワードドライバ52に供給することによって、ワード線の“H”の電圧を電源電圧 V_{cc} よりも大きな電圧 V_{ch} にするものである。本実施例では、これらの構成要素が同一半導体基体上に形成され、一つの半導体記憶装置を形成するものである。

【0040】図5の実施例の波形図は V_{cc} が1.2V、 V_{ch} が1.8Vの時のシミュレーション波形を示したものである。上の波形図に示すように、ワード線が“H”の時の電圧を従来技術の V_{cc} を使うかわりに昇圧回路51により昇圧された電圧 V_{ch} を用いる。このことにより、書き込み時のメモリセル内部電圧を従来の場合よりも十分に大きな値にすることができる。従って、読み出し時ビット線に十分大きな差動信号(ΔV)を取り出すことができ、センスアンプで十分増幅できる。

【0041】図6は、図5に示した本発明の第二の実施例の効果を定量的に示した図であり、 V_{cc} が1.2Vの時ワード線の“H”の時の電圧に対するビット線電位差 ΔV を示したものである。図6に示すようにビット線の電位差はワード線の“H”の時の電圧が1.5Vまではほとんど0である。しかしながら、ワード線の“H”の時の電圧が1.5V以上の場合には徐々にビット線の電位差が現われるようになる。従って、本実施例の場合、ワード線の電圧を1.5V以上に昇圧することによって初めてその効果が現われることになる。

【0042】本発明の第二の実施例のワードドライバの回路図とデバイスの断面構造を図7に示す。

【0043】図7の回路図で、71はXデコーダ、70はXデコーダの出力電圧端子、72、73、74はPMOSFET、75、76、77はNMOSFET、78はワード線、79はメモリセルアレーである。ワードドライバは75、76、72、73からなるNAND回路と、74、77からなるインバータ回路から構成される。また、図7の断面図では80はP型の半導体基板、81、83、85、86はN型のウェル、82、84はP型のウェル、87、89はPチャンネルMOSFET、88、90はNチャンネルMOSFET、91は深いN型のウェル、92は浅いP型のウェルである。本発

明では本図に示すようにXデコーダには外部電源電圧 V_{cc} が直接給電される。一方、ワードドライバのPMOSFETには電源電圧 V_{cc} 以上に昇圧された電圧 V_{ch} が印加される。このような回路構成とすることでワード線の“H”の電圧を V_{ch} に、“L”の電圧を接地電位 V_{ss} にすることができる。また、Xデコーダの出力端子70が V_{ss} の電位の時、ワード線が非選択状態“L”にあるが、このようなときにワードドライバの内部で貫通電流が流れることはない。

【0044】一方、断面図においては、Xデコーダ中の回路は V_{cc} の電位に固定されたNウェル81中に形成されたMOSFET87と、 V_{ss} の電位に固定されたPウェル82に形成されたMOSFET88から構成される。また、ワードドライバ中の回路は V_{cc} より高い電圧 V_{ch} を用いるのでNウェル81とは電氣的に絶縁され、 V_{ch} の電位に固定されたNウェル83に形成されたPMOSFET89とPウェル84に形成されたNMOSFET93から構成される。このようにして二つの異なる電源電圧を用いてワードドライバを形成することが可能である。また、メモリセルに用いられるN型のMOSFETは深いN型ウェル91に囲まれた浅いP型ウェル92の中に作ることによって、基板80と電氣的に絶縁を行い、メモリセルのデータを基板からのノイズから保護するようにしている。

【0045】本発明の第三の実施例のブロック図と内部波形のシミュレーション結果を図8に示す。

【0046】図8において、51は昇圧回路、52はワードドライバ、53は負荷MOSFET、54、55、56は、TFT型のメモリセル、57は昇圧回路51により電源電圧 V_{cc} よりも大きな電圧 V_{ch} に昇圧された電源端子、58はメモリセル給電線、59はワード線である。本実施例は、昇圧回路により電源電圧 V_{cc} 以上に昇圧された電圧 V_{ch} をメモリセル給電線58すなわちメモリセルの負荷素子の一方の電極に直接印加するものである。本実施例は、これらの構成要素が同一半導体基体上に形成され、一つの半導体記憶装置を形成するものである。

【0047】図8の実施例の波形図は V_{cc} が1.2V、 V_{ch} が1.8Vの時のシミュレーション波形を示したものである。波形図に示すように、書き込み時にはメモリセル内部のノード V_1 は $V_{cc}-V_{th}$ の電圧が書き込まれる。その後、電源電圧を大きくしたことにより電流駆動能力が高められた負荷素子のTFT的作用により、 V_1 が充電され $V_{cc}-V_{th}$ よりも高い電圧になる。従って、読み出し動作に入る前にはメモリセルノード V_1 は十分高い電圧になっており、結果として読み出し時ビット線に十分大きな差動信号(ΔV)を取り出すことができ、センスアンプで十分この電圧を増幅できることになる。

【0048】図9は、本発明の第三の実施例の効果を定量的に示した図で、 V_{cc} が1.2Vの時メモリセル給電

線電圧 V_m に対する読み出し時のビット線電位差 ΔV を示したものである。

【0049】図9に示すようにビット線の電位差はメモリセル給電線電圧 V_m が1.5Vまではほとんど0である。しかしながら、メモリセル給電線電圧 V_m が1.5V以上の場合には徐々にビット線の電位差が現われるようになる。従って、本実施例の場合、メモリセル給電線電圧 V_m の電圧を1.5V以上に昇圧することによって初めてその効果が現われることになる。

【0050】本発明の第四の実施例のブロック図と内部波形のシミュレーション結果を図10に示す。

【0051】図10において、101は負電圧発生回路、52はワードドライバ、53は負荷MOSFET、54、55、56は、高抵抗型又はTFT型のメモリセル、107は負電圧発生回路101により接地電位 V_{ss} よりも低い電圧 V_{bb} を出力する電源端子、58はメモリセル給電線、59はワード線である。本実施例では、負電圧発生回路101により発生された電圧 V_{bb} をワードドライバ52に給電し、ワード線59の”L”の電圧を V_{ss} よりも小さい負の電圧にする。その一方、メモリセルの転送MOSFETのしきい値電圧を駆動MOSFETのしきい値電圧よりも小さくする方法である。本実施例は、これらの構成要素が同一半導体基体上に形成され、一つの半導体記憶装置を形成するものである。

【0052】図10の実施例の波形図は V_{cc} が1.2V、転送MOSFETのしきい値電圧0.1V、駆動MOSFETのしきい値電圧0.7Vでシミュレーションを行ったものである。書き込み時にはメモリセル内部のノードV1は $V_{cc}-V_{th}$ の電圧が書き込まれるが、転送MOSFETのしきい値電圧 V_{th} を小さくしてあるので、結果的にメモリセル内部のノードV1の電圧は V_{cc} 付近まで高くできる。従って、その後読み出し動作に入った場合ビット線に十分大きな差動信号(ΔV)を取り出すことができ、センスアンプで十分この電圧を増幅できることになる。

【0053】図11は、図10に示した本発明の第四の実施例の効果を定量的に示した図で、 V_{cc} が1.2Vの時転送MOSFETのしきい値電圧に対するビット線の電位差 ΔV を示したものである。なお、通常メモリセル内のしきい値電圧は0.7Vである。

【0054】図11に示すように転送MOSFETのしきい値電圧が0.7Vの時にはビット線の電位差 ΔV はほとんど0である、しかしながら、転送MOSFETのしきい値電圧が0.5V以下になると徐々にビット線の電位差が大きくなる。従って、本実施例の場合、メモリセルの転送MOSFETのしきい値電圧を0.5V以下にすることによって、その効果が現われる。すなわち、小さいしきい値電圧であるほど大きなビット線電位差 ΔV が得られ、その効果が大きい。

【0055】一方、本実施例においてはメモリセルの転

送MOSFETのしきい値電圧を低くするために、通常のワードドライバで行うように、ワード線が”L”状態のときの電圧を V_{ss} にした場合、転送MOSFETを通してリーク電流が流れてしまう。これは、SRAMのスタンバイ電流を増加させることになる。そこで、負電圧発生回路101により発生した電圧を用いて、ワード線の”L”の電圧を負の電圧にすることによって、このリーク電流を小さくすることができる。図12にワード線の”L”の電圧に対する1セル当りのリーク電流を示す。

【0056】図12に示すように、ワード線の”L”の電圧を-0.4V以下にすることによって、ワード線が”L”の時のスタンバイ電流を減らすことが可能になる。本発明の第四の実施例のワードドライバの回路図とデバイスの断面構造を図13に示す。

【0057】本発明の第四の実施例では図13に示すようにXデコーダ71及びワードドライバには外部電源電圧 V_{cc} と電源電圧 V_{cc} よりも高い電圧 V_{ch} とが直接給電される。ワードドライバNAND回路のNMOSFETには接地電位 V_{ss} が印加される一方、ワードドライバのインバータ回路のNMOSFETには接地電位 V_{ss} よりも低い電圧 V_{bb} の電圧を印加する。このような回路構成とすることでワード線78の”H”の電圧を V_{ch} に、”L”の電圧を V_{bb} にすることができる。Xデコーダ71の出力端子70は V_{ss} の時、NAND回路の出力は V_{cc} 、ワード線が接地電位 V_{ss} よりも低い電圧 V_{bb} である”非選択状態”L”にあるが、このようなときにワードドライバの内部で貫通電流が流れることはない。

【0058】一方、図13の断面図においては、Xデコーダ中の回路は V_{cc} の電位に固定されたNウェル81中に形成されたMOSFET87と、 V_{ss} の電位に固定されたPウェル82に形成されたMOSFET88から構成される。また、ワードドライバ中の回路は V_{ss} より低い電圧 V_{bb} を用いるので、基板とは深いNウェルで電気的に絶縁され V_{bb} の電位に固定されたPウェル84に作られたNMOSFET93とNウェル83に作られたPMOSFET89によって構成される。また、メモリセルに関しては本発明の第二の実施例と同様深いN型ウェル91に囲まれた浅いP型ウェル92の中を作ることによって、基板80と電気的に絶縁を行い、メモリセルのデータを基板からのノイズから保護するようにしている。

【0059】本発明の第二、第三、第四の実施例では、昇圧回路51または負電圧発生回路101を用いているが、これらの回路でもし電流を多く消費する場合、低電流でデータを保持できるSRAMの特徴が失われてしまう。そこで、低消費電流で昇圧電圧又は負電圧を発生するための発明を以下に示す。

【0060】図14は、本発明の第五の実施例のブロック図である。

【0061】図14において、141は動作時用パルス発生回路、142は待機時用パルス発生回路、143、144はポンピング回路、145は昇圧回路、146は昇圧回路の出力端子Vchである。本実施例では、大きな消費電流を必要とするが高速なパルスを発生する動作時用パルス発生回路141と、小さい消費電流しか必要としないが発生するパルスの周波数は速くない待機時用パルス発生回路142を用いる。

【0062】SRAMが動作状態の時、動作時用パルス発生回路141はチップセレクト信号”CS信号”により活性状態になり比較的大きな電流を消費して高速のパルスを発生する。ポンピング回路143はこのパルスを利用して、Vccよりも大きな電圧Vchを発生するが、SRAMが動作状態にありVchの負荷電流が大きい場合でもパルスが高速なのでこれに耐えることができる。

【0063】一方、待機時にはCS信号により動作時用パルス信号で消費する電流を切るが、常時動作している待機時用パルス発生回路142が発生するパルスを利用してVchをポンピング回路144で発生して電圧を保持する。従って、本実施例においては、昇圧回路145の待機時の消費電流は待機時用パルス発生回路142で消費する電流で決まるので、この電流を小さくすることによって、低消費電流で低電圧動作が可能なSRAMを実現できる。また、本実施例ブロック図によって、ポンピング回路中の接続を変えることにより、低消費電力で負の電圧を発生する回路を実現できる。

【0064】図15は本発明の第六の実施例のブロック図で、先に述べた本発明の第五の実施例の考え方を発展させたものである。

【0065】図15の本実施例においては、第五の実施例のブロック図の実施例に加えて、Vchディテクタ151が必要になる。本実施例においては、Vchディテクタ151により発生する信号152により待機時用パルス発生回路142を制御する。すなわち、Vchの電圧が下がった場合に待機時用パルス発生回路から発生するパルスの周波数が高くなり、ポンピング回路144により供給するVchの電圧が大きくなるようにする。このようなフィードバックを用いることにより、必要なときにだけ待機時用パルス発生回路142の消費電力を消費するようになる。従って、本実施例においては、待機時の昇圧回路で消費する電流を本発明の第五の実施例に比べてさらに小さくできる効果がある。

【0066】図16は、本発明の第七の実施例の回路図と動作波形を模式的に示したもので、極めて低電力でもパルスを発生できる待機時用パルス発生回路の実施例である。

【0067】図16において、161は差動増幅器、162、163、165は電流源、164、166はダイオード、167はコンデンサ、168、169、170はノード、171はポンプ回路、172はポンプ回路1

71の出力で昇圧された電圧、173、174はNMOSFETである。本実施例においては、ノード168においてパルスを発生し、このパルスを用いてポンプ回路で昇圧を行い、昇圧された電圧Vchを得る。図の波形の模式図によって本実施例においてパルスが発生する機構を以下に説明する。図16の時間①において、差動増幅器161の出力電圧Voが”L”状態、すなわち、MOSFET173、174はオフ状態にあるとする。すると、ノード169の電圧はVccからダイオード166の電位降下 $2\Delta V$ 引いた値、すなわち $V_{cc} - 2\Delta V$ の電圧が現れる。一方、コンデンサ167に蓄積されていた電荷は、電流源163によって放電され、ノード170の電圧は徐々に低下する。やがて、時間②のようにノード170の電圧がノード169の電圧と同じになった時、差動増幅器161の働きで差動増幅器の出力電圧Voが”H”状態に反転する。その結果、MOSFET173、174が導通状態になる。すると、ノード169の電圧がVccからダイオード164の電位降下分 ΔV を引いた値に上昇する。一方、コンデンサ167には電流源162の電流2Iによる充電と電流源163の電流Iによる放電の引き合いで結果的には電流Iによる充電がおこなわれる。従って、ノード170の電圧が上昇し始める。その後時間③になると、ノード170の電圧とノード169の電圧が同じになり、差動増幅器161の出力が反転し”L”状態になり、時間①の状態に戻るようになる。このような動作が交互に繰り返されることにより、差動増幅器161の出力電圧Voにはパルス状の電圧が発生することになる。このときパルスの周期fはコンデンサ167の容量をCとすると、 $f = I / 2C\Delta V$

で与えられる。また、ここで必要な消費電流は163、165の電流源に流れる電流と差動増幅器161に必要な電流のみである。通常半導体集積回路において周期的なパルス電圧を得るにはリングオシレータが用いられてきたが、リングオシレータの場合動作中の各段の貫通電流が大きくなり、低電力化が困難であった。しかしながら、本実施例においては、電流源の電流Iさえ小さくすれば非常に低消費電力でパルス状の電圧を発生することが可能である。従って、本発明の第二、第三の実施例の中で、本実施例のパルス電圧発生回路を用いた昇圧回路を用いることにより、低消費電力で低電圧動作が可能なSRAMを提供することが可能である。

【0068】図17は本発明の第八の実施例の回路図で、図14の本発明の第五の実施例のブロック図を実現する具体的な回路を示したものである。

【0069】図17において171は動作時用パルス発生回路、172はパルスを増幅するための回路、173は動作時用のポンピング回路、174は待機時用のポンピング回路、175は図16の本発明の第七の実施例で説明した待機時用のパルス発生回路、176は電流源回

路である。

【0070】本実施例で用いている電流源回路176は、発明者が平成1年9月8日の出願に係る特願平1-231569号を優先権主張の基礎とした平成2年8月29日の特願平2-225041号「定電流定電圧回路」を用いたもので、この回路を用いることにより、100nA以下の低電流電流源を得ることができる。従って、この電流源176を待機時用ポンピング回路174に用いて極めて消費電力の小さい昇圧回路を実現することが可能になる。また、動作時用のパルス発生回路171にはリングオシレータを用いており、リングの途中にNANDゲートを入れ、そこにCS信号を入れることにより待機時にリングオシレータが発振するのを止め、ここで消費する電流を零にしている。従って、本実施例の回路により、動作時にはリングオシレータ171を利用した高速なパルスにより負荷電流が大きくても十分な駆動能力を持つ昇圧電圧を発生する一方、待機時にはリングオシレータ171を切り、極めて低消費電力であるパルス発生回路175を用いて昇圧電圧を発生することができる。従って、本発明の第二、第三の実施例の中で、本実施例のパルス電圧発生回路を用いた昇圧回路を用いることにより、低消費電力で低電圧動作が可能なSRAMを提供することが可能である。

【0071】図18は、図17の本発明の第八の実施例の待機時のシミュレーション波形を示したものである。この時のVccは1.2Vである。図18に示すように図16の本発明の第七の実施例の波形図と同様の動作が起こっており、またこの時の回路全体の平均消費電流は約0.4μA以下と極めて小さく抑えられていることがわかる。また、Vchの電圧は昇圧され、1.9Vに達している。従って、本発明の第二、第三の実施例で、本実施例の昇圧回路を用いることにより、低消費電力で低電圧動作が可能なSRAMを提供することが可能であることが、シミュレーションで実証できる。

【0072】図19は本発明の第九の実施例の回路図で、接地電圧よりも低い負の電圧を発生する回路の実施例を示したものである。

【0073】図19において191は動作時用パルス発生回路、192はパルスを増幅するための回路、193は動作時用のポンピング回路、194は待機時用のポンピング回路、195は待機時用のパルス発生回路、196は電流源回路である。本実施例のパルス発生回路の原理は、図18の本発明の第八の実施例と同じであり、また、本実施例で用いている電流源回路は、本発明の第八の実施例の電流源と同じである。従って、本実施例の待機時用のパルス発生回路195では、極めて小さい消費電力でパルス状の電圧を発生することが可能になる。また、第八の実施例と同様動作時用のパルス発生回路191にはリングオシレータを用いており、リングの途中にNANDゲートを入れ、そこにCS信号を入れることに

より待機時にリングオシレータが発振するのを止め、ここで消費する電流を零にしている。従って、本実施例の回路により、動作時にはリングオシレータを利用した高速なパルスにより負荷電流が大きくても十分な駆動能力を持つ負電圧を発生する一方、待機時にはリングオシレータを切り、極めて低消費電力であるパルス発生回路を用いて負電圧を発生することができる。従って、図9の本発明の第四の実施例の中で、本実施例のパルス電圧発生回路を用いた負電圧発生回路を用いることにより、低消費電力で低電圧動作が可能なSRAMを提供することが可能である。

【0074】図20は、本発明の第10の実施例の回路図と波形図を示したものである。本実施例は図5の本発明の第2の実施例の問題点を改善したもので、本発明の第2の実施例よりもより小さな電圧で動作させることが可能である。本発明の第2の実施例は、ワード線の電圧を昇圧してメモリセルに書き込む電圧を大きくして低電圧動作を達成しようとするものであった。メモリセルに書き込める電圧はVcc以上にはできないが、この電圧がVw-Vthよりも小さいに電圧になると読み出し時に情報が破壊されることがアイイーイーイー、ジャーナル・オブ・ソリッド・ステート・サーキット、ボリューム・エス・シー20、ナンバー1第383頁から第390頁(IEEE Journal Of Solid-State Circuits, VOL. SC-20, No.1 February 1985, pp.383-390)に記載されている。従って、本発明の第2の実施例では例えばVccが1Vほどと極めて小さい場合、ワード線の電圧を電源電圧より大きい値電圧大きい値の1.7V以上にすることが困難であることを示している。

【0075】図20において、201はワードドライバ、Vccは電源電圧、Vchは電源電圧Vcc以上に昇圧された電源、φchはワード線昇圧用パルス、202は負荷MOS制御回路、φLDは負荷MOS制御信号、203は負荷MOS、204は共通データ線の負荷MOS、φxはワード線活性化信号、Vwはワード線、VN1、VN2はメモリセル内蓄積ノードの電圧、VB1、VB2はビット線、206はYスイッチ、φYはYスイッチ制御信号、207は共通データ線、208はセンスアンプ、209はライトアンプ、M1は小さなしきい値電圧V'thを持つNMOSFET、M2はPMOSFETである。

【0076】図20の実施例においては、以下に述べるような回路動作を行なう。すなわち、φxによりワード線VwがNMOSFET M1を通してVcc-V'thの電圧になる。その後、ワード線昇圧パルスφchが"H"になるとPMOSFET M2が導通し、ワード線の電圧が電源電圧Vccより大きな電圧Vchに充電される。その後φchが"L"になると、ワード線の電圧VwはVcc-V'thの電圧にもどる。一方、ビット線の負荷MOS 203と共通データ線の負荷204は、負荷MOS制御信号φLDにより制御されるが、この信号φLDは、上記に

述べたワード線が一度 V_{ch} の電圧にまで上昇してから再び $V_{cc}-V_{th}$ の電圧になったあとで初めて”L”の状態になり負荷MOSが導通する。すなわち、それ迄は、データ線および共通データ線は負荷から切り離された状態にあることになる。

【0077】従来例ではワード線が V_{cc} までしか上がらないためにセル内部のノード電圧 V_{N1} 、 V_{N2} が $V_{cc}-V_{th}$ までしか上がらず、その後の読み出し動作においてメモリセルの電流を流すことができなくなるので十分なビット線の電位差 ΔV が現れず、メモリセルの情報を読むことができなかった。それに対して本実施例ではワード線の電圧が V_{ch} が”H”のとき V_{ch} になるので、この時にメモリセル内部のノード電圧 V_{N1} 、 V_{N2} のいずれか一方を V_{cc} に近い電圧にまで充電することができる。従って、本実施例においても、他の実施例と同様、次の読み出し動作の時にメモリセルに十分大きな電流が流れるので、ビット線に大きな電位差 ΔV が現れてセンスアンプで十分に信号を増幅することができる。また、本実施例では最初の状態において負荷MOSがオフになり、データ線と共通データ線が負荷から切り離された状態になっているが、読み出し時には、この状態でビット線の”L”側の電荷がメモリセルに流れる電流によって放電されて小さな電圧あるいは完全に接地電圧にすることができる。その後ワード線の電圧が上昇して V_{ch} になっても、”L”側のビット線の電圧が小さいか又は0であるのでデータが反転してしまうことはない。従って、本実施例によれば、本発明の第2の実施例よりも低電圧動作の効果がさらに大きく、少なくとも1V以下の低電圧動作が可能となる。図21は本発明の第11の実施例でワード線の電圧波形を示したものである。図20に示した本発明の第10の実施例ではワード線の電圧波形が図21(a)のように3段階になっており、2段目の電圧が大きい間に書き込みを行うが、これを図21(b)の実施例に示す如くワード線の電圧波形2段階で2段目の電圧が大きい間に書き込みをおこなう、図21(c)のように低い電圧と高い電圧の2つのパルスに分け、2つめの高い電圧の間に書き込みを行う、図21(d)のように徐々に電圧が高くなるようにし、後半の時間に書き込みを行うことによってメモリセル内の蓄積ノードに高い電圧を書き込むことができる。従って、本実施例によれば、図20の本発明の第10の実施例と同様、少なくとも1V以下の低電圧動作が可能となる。

【0078】

【発明の効果】以上実施例で述べたごとく、本発明によれば低電力でかつ2V以下の低電圧動作が可能なSRAMを実現する効果がある。

【図面の簡単な説明】

【図1】本発明の第一の実施例のSRAMのメモリセルの回路図と動作波形図である。

【図2】従来のスタティックRAMのメモリセルの回路図である。

【図3】従来の完全CMOS型のメモリセルと、従来の高抵抗型のメモリセルにそれぞれデータを書き込んだときのメモリセル内部のシミュレーション波形図である。

【図4】メモリセルからデータを読み出す場合のシミュレーション波形図。

【図5】本発明の第二の実施例のブロック図とシミュレーション波形図である。

【図6】本発明の第二の実施例の効果を定量的に示した図である。

【図7】本発明の第二の実施例のワードドライバの回路図とデバイスの断面構造を示す図である。

【図8】本発明の第三の実施例のブロック図とシミュレーション波形図である。

【図9】本発明の第三の実施例の効果を定量的に示した図である。

【図10】本発明の第四の実施例のブロック図とシミュレーション波形図である。

【図11】本発明の第四の実施例の効果を定量的に示した図である。

【図12】ワード線の”L”の電圧に対する1セル当たりのリーク電流を示す図である。

【図13】本発明の第四の実施例のワードドライバの回路図とデバイスの断面構造を示す図である。

【図14】本発明の第五の実施例のブロック図である。

【図15】本発明の第六の実施例のブロック図である。

【図16】本発明の第七の実施例の回路図と動作波形を模式的に示した図である。

【図17】本発明の第八の実施例の回路図である。

【図18】本発明の第八の実施例の待機時のシミュレーション波形図である。

【図19】本発明の第九の実施例の回路図である。

【図20】本発明の第10の実施例の回路図と波形図である。

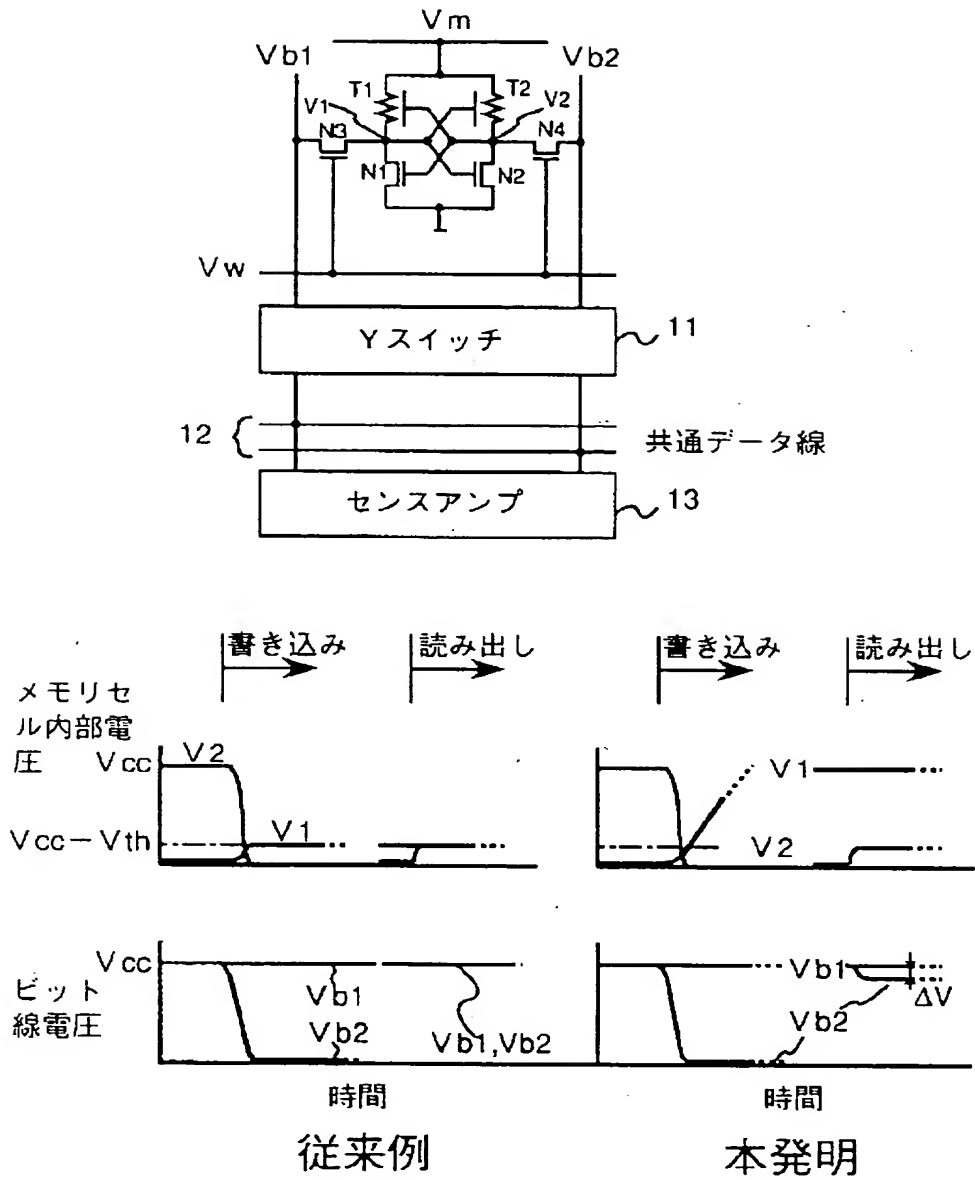
【図21】本発明の第11の実施例のワード線の波形図である。

【符号の説明】

51…昇圧回路、52…ワードドライバ、53…ワード線、58…メモリセル給電線、54、55、56…メモリセル、71…Xデコーダ、101…負電圧発生回路、141…動作時用パルス発生回路、142…待機時用パルス発生回路、143、144…ポンピング回路、151… V_{cc} ディテクタ。

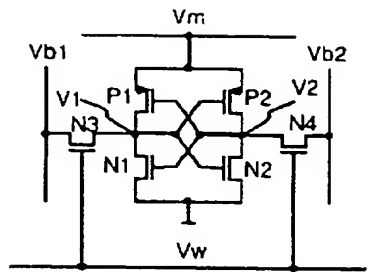
【図1】

(図1)

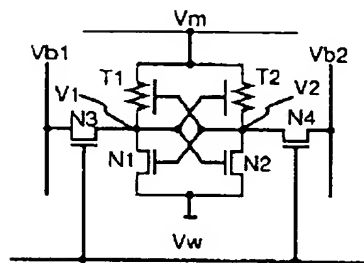


【図2】

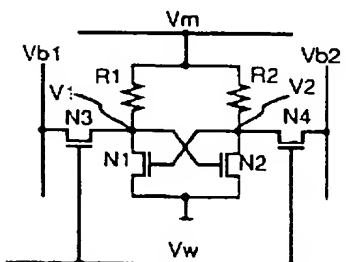
(図2)



完全CMOS型メモリセル



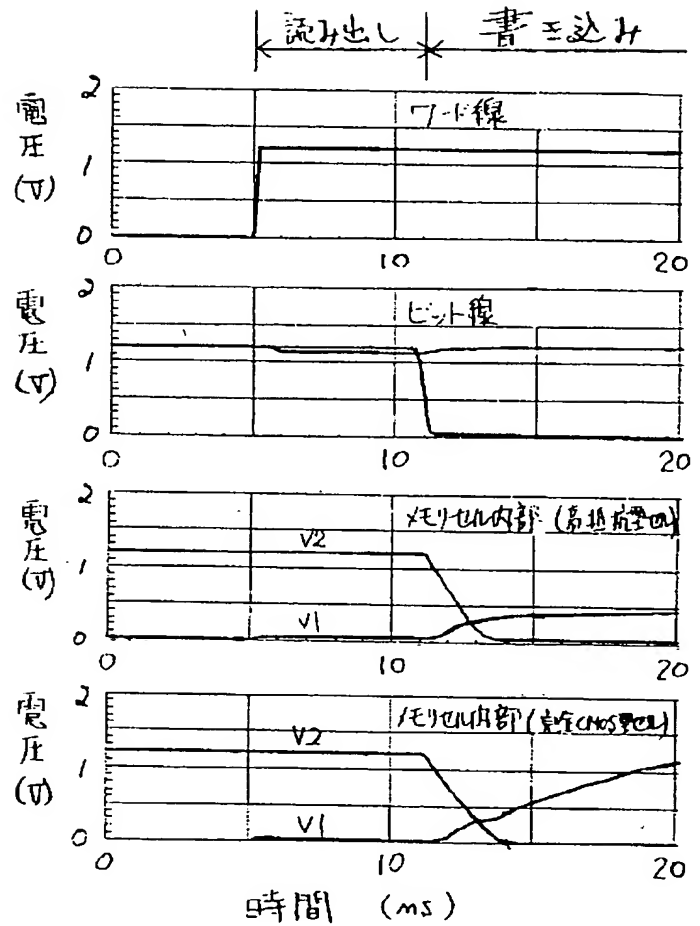
TFT型メモリセル



高抵抗型メモリセル

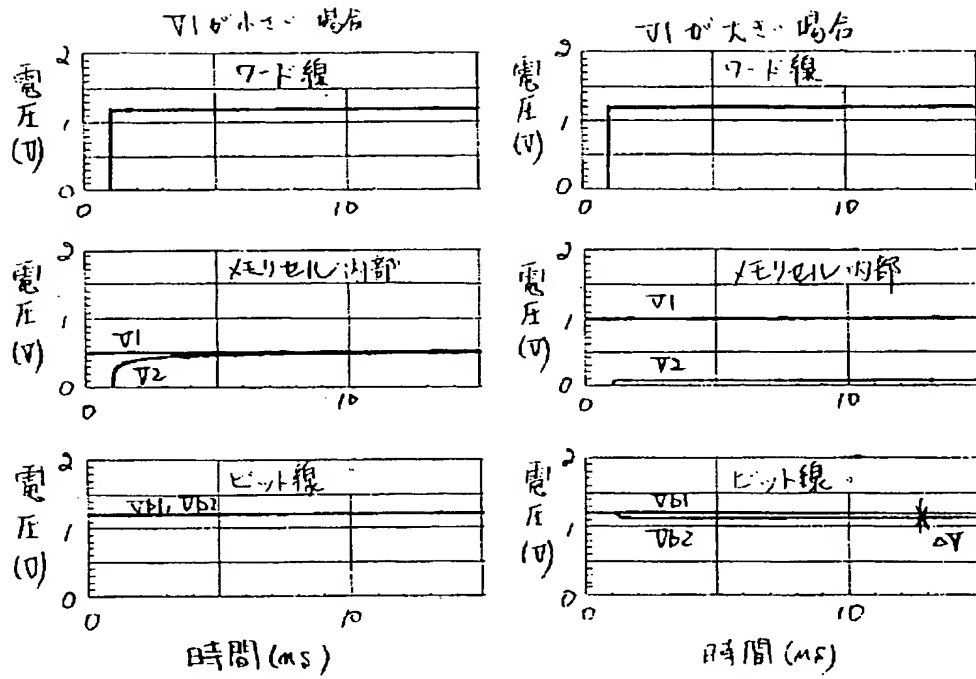
【図3】

(図3)



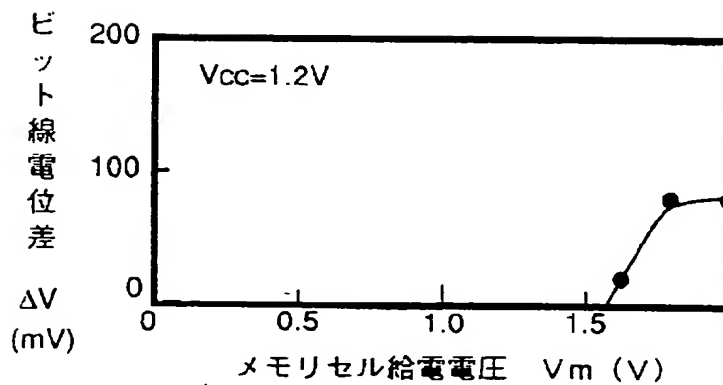
【図4】

(図4)



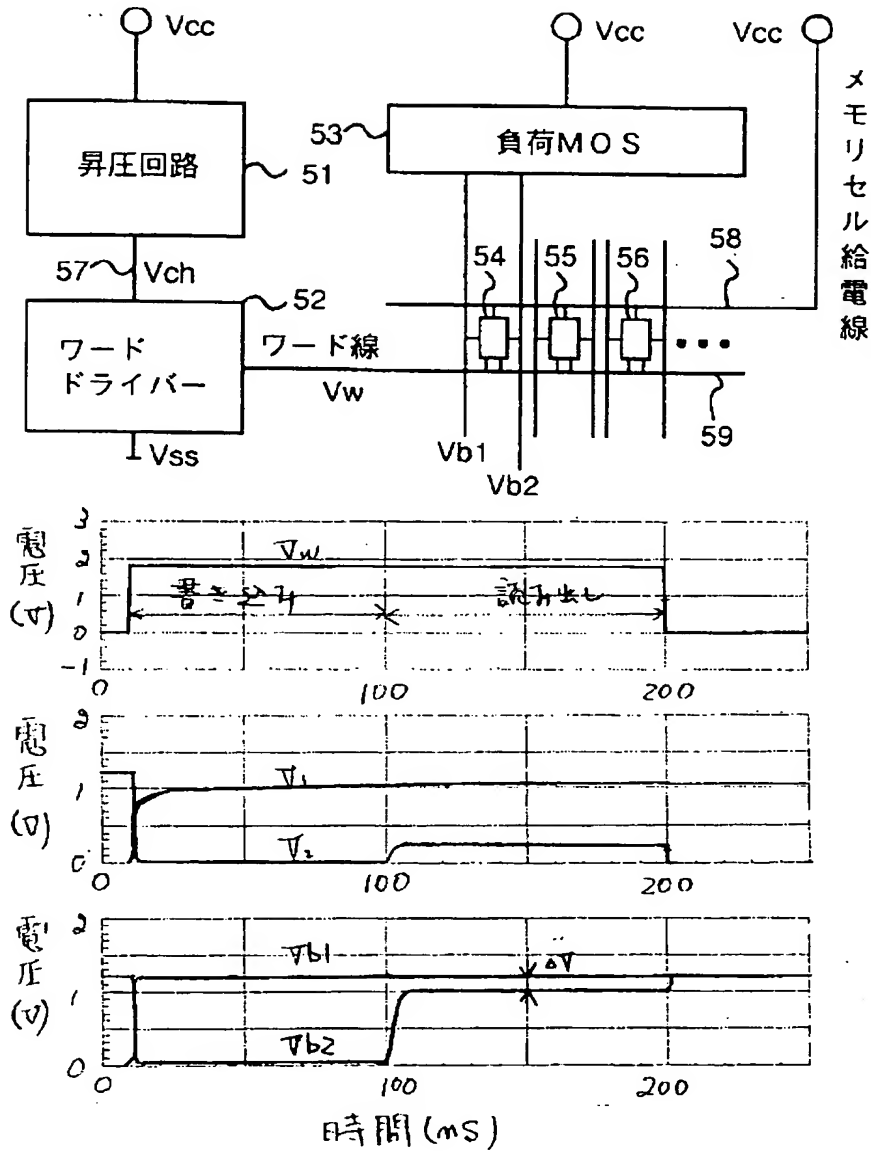
【図9】

(図9)



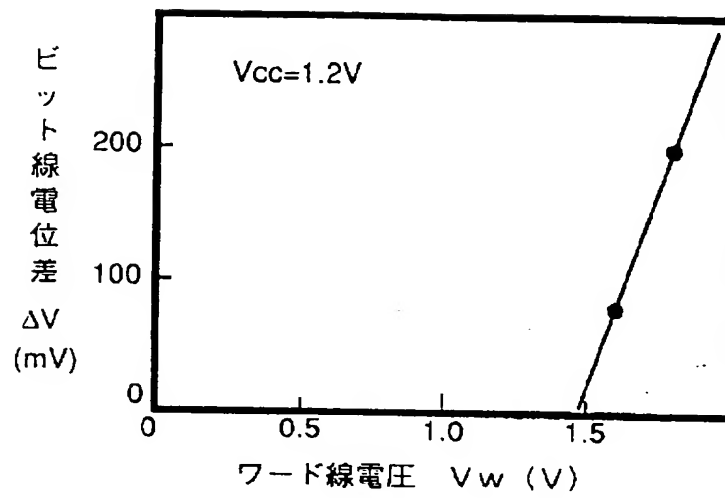
【図5】

(図5)



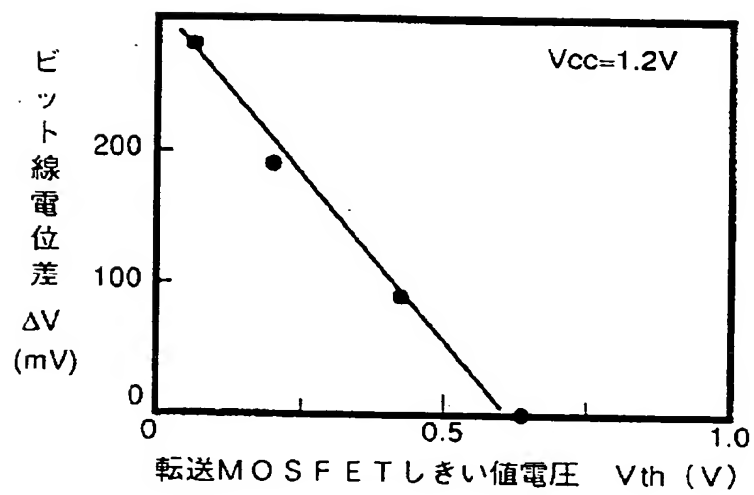
【図6】

(図6)

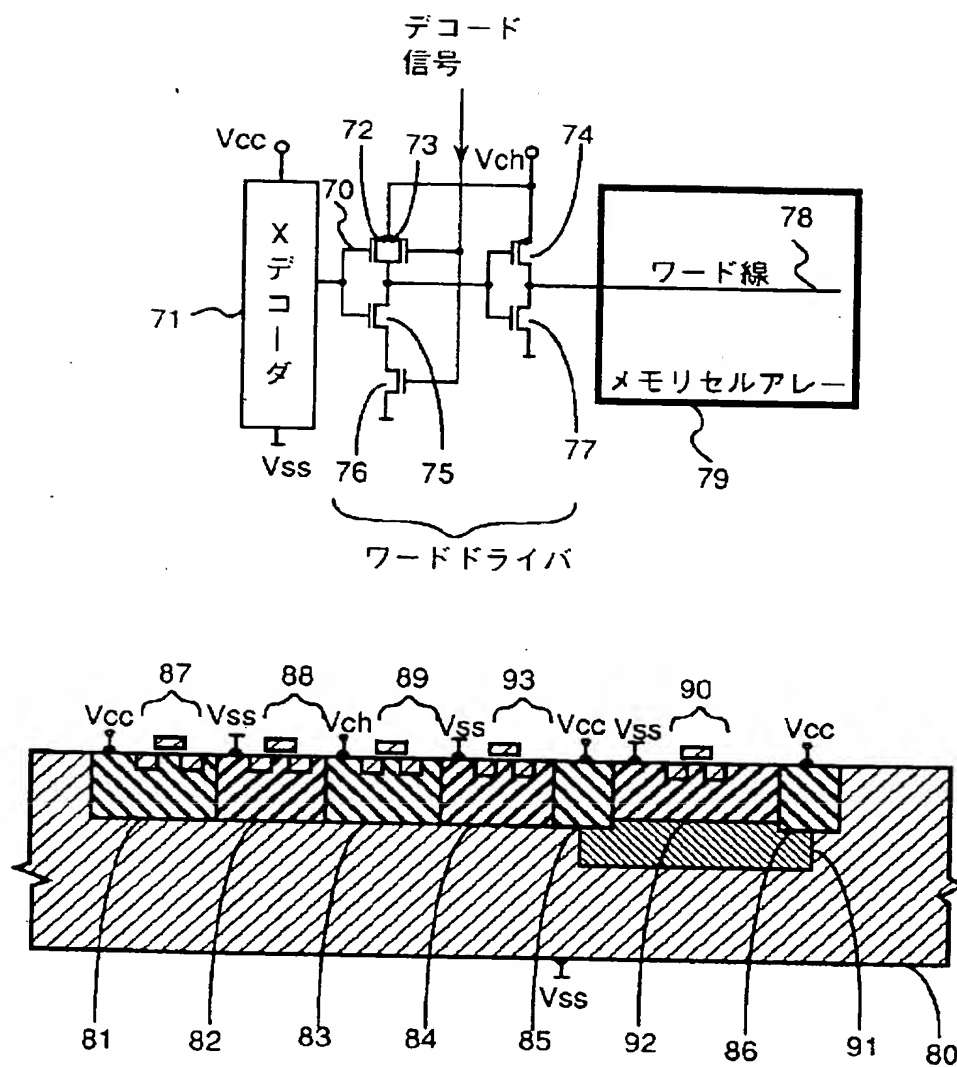


【図11】

(図11)

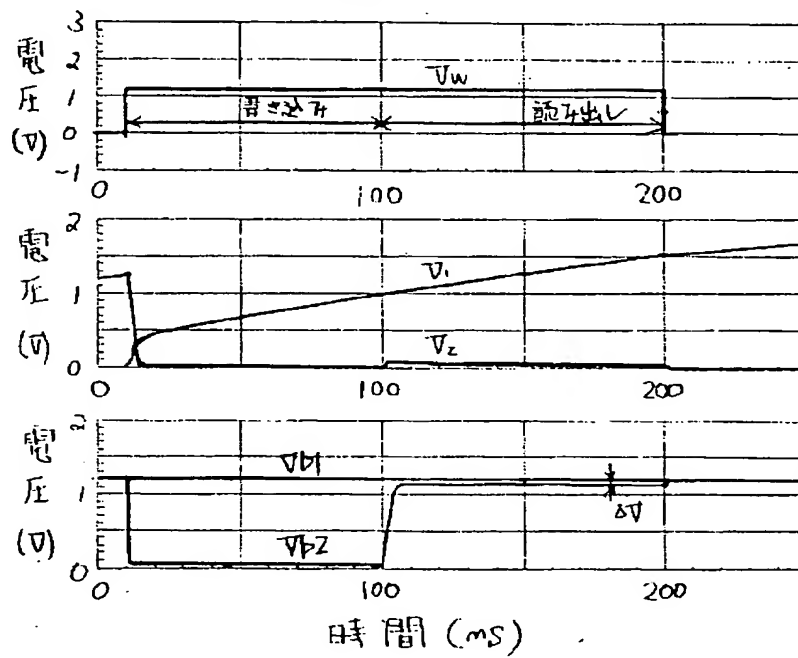
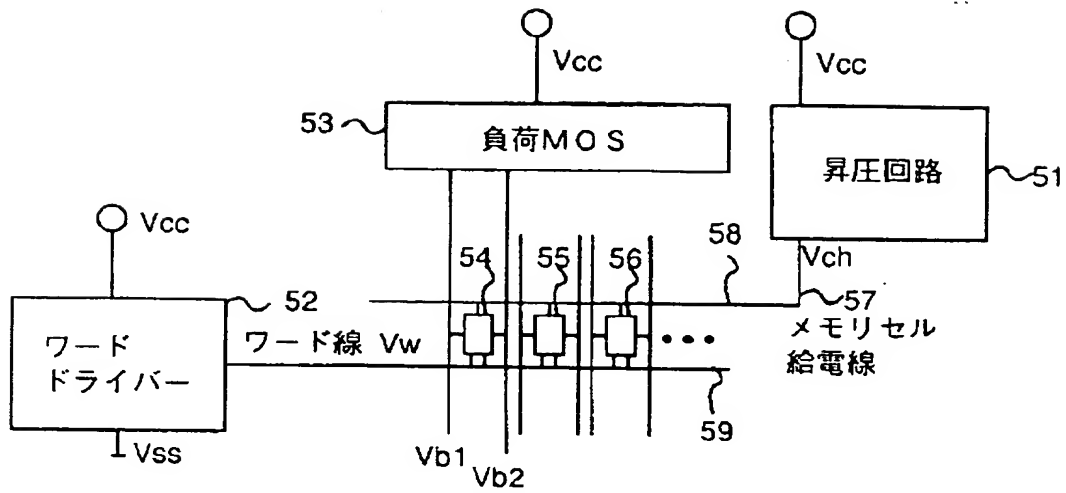


(圖 7)



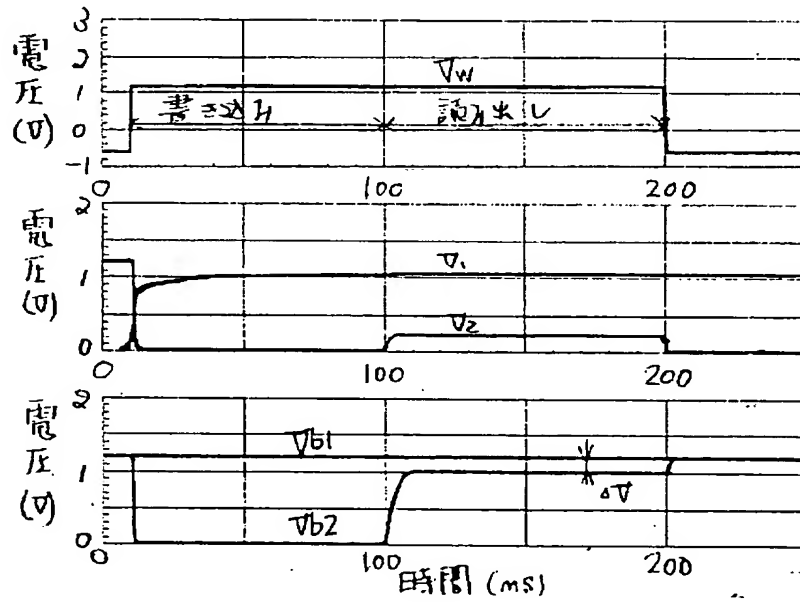
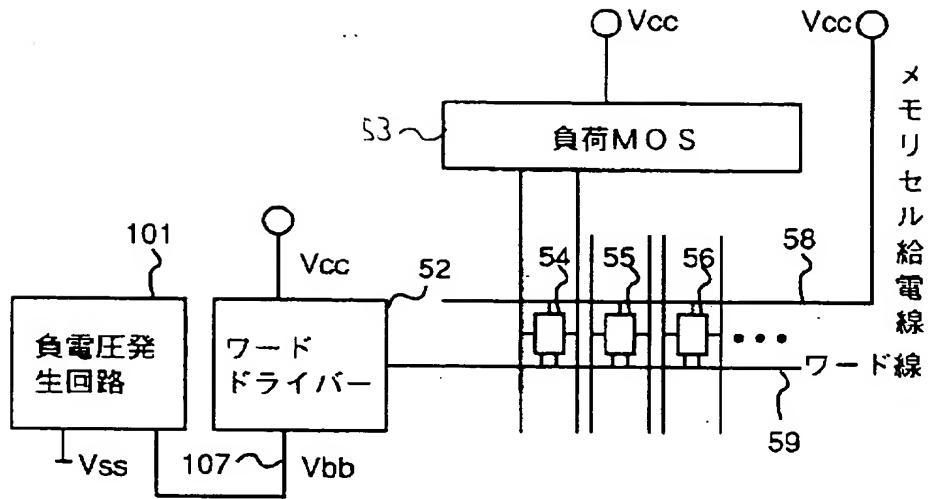
【図8】

(図8)



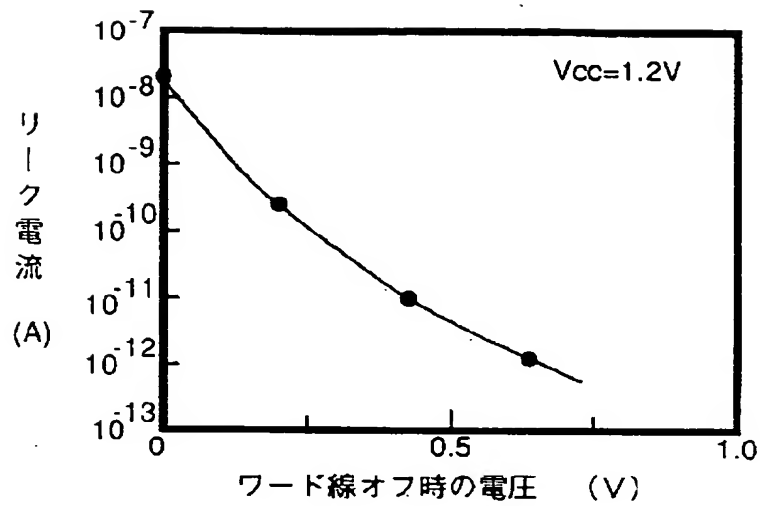
【図10】

(図10)



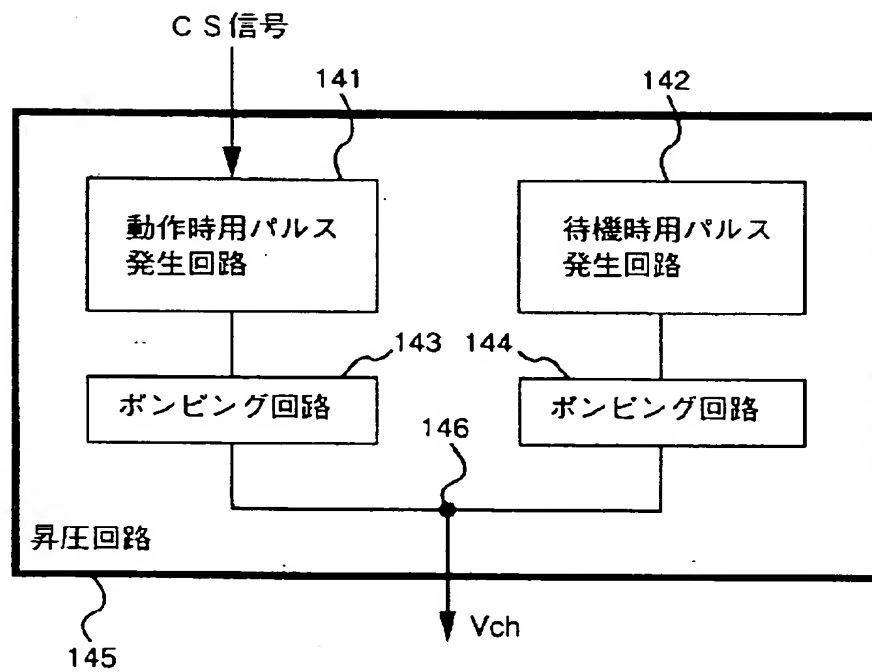
【圖 1-2】

図12



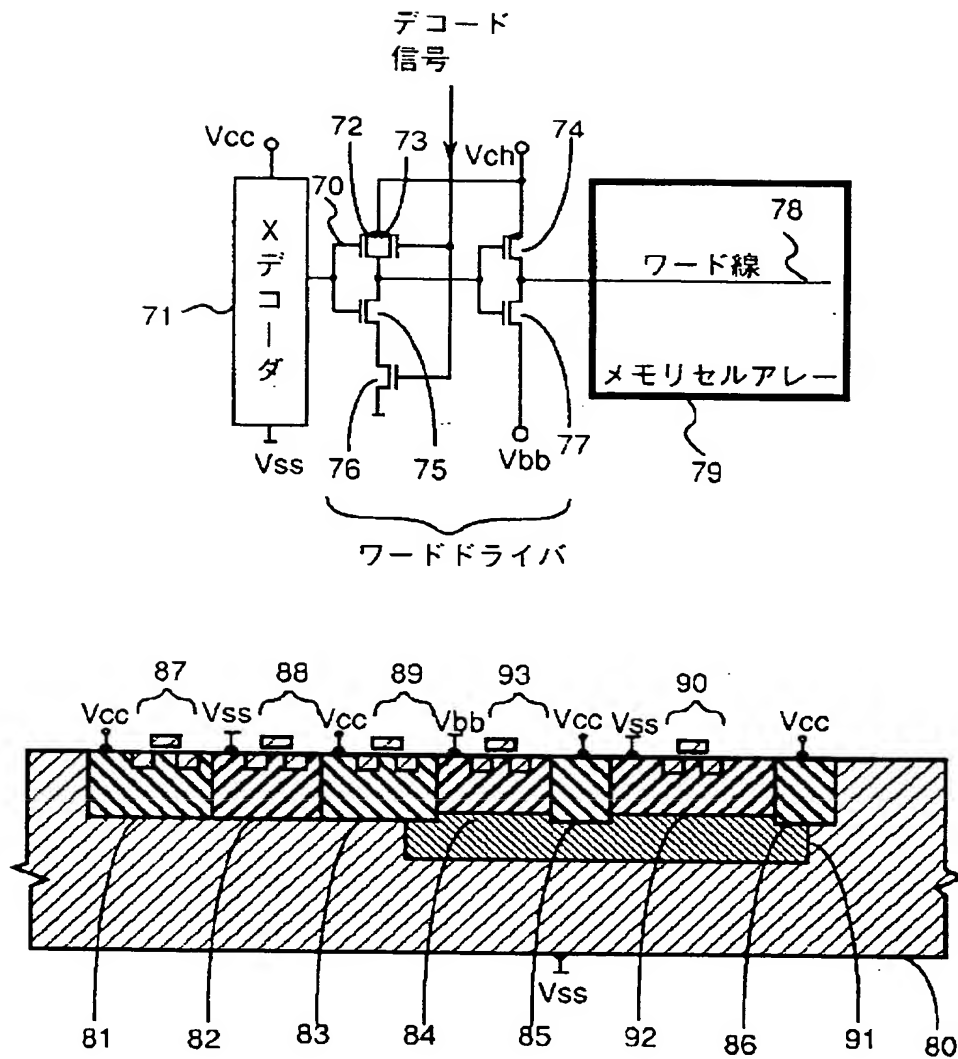
【圖 1-4】

(圖 14)



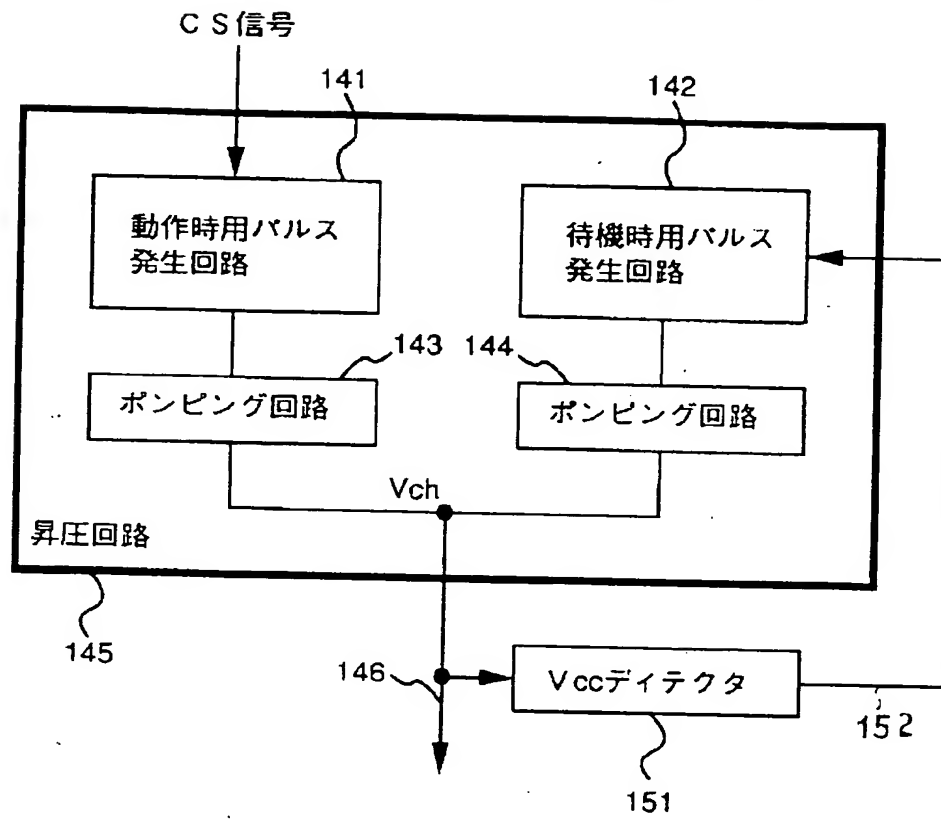
【図13】

(図13)



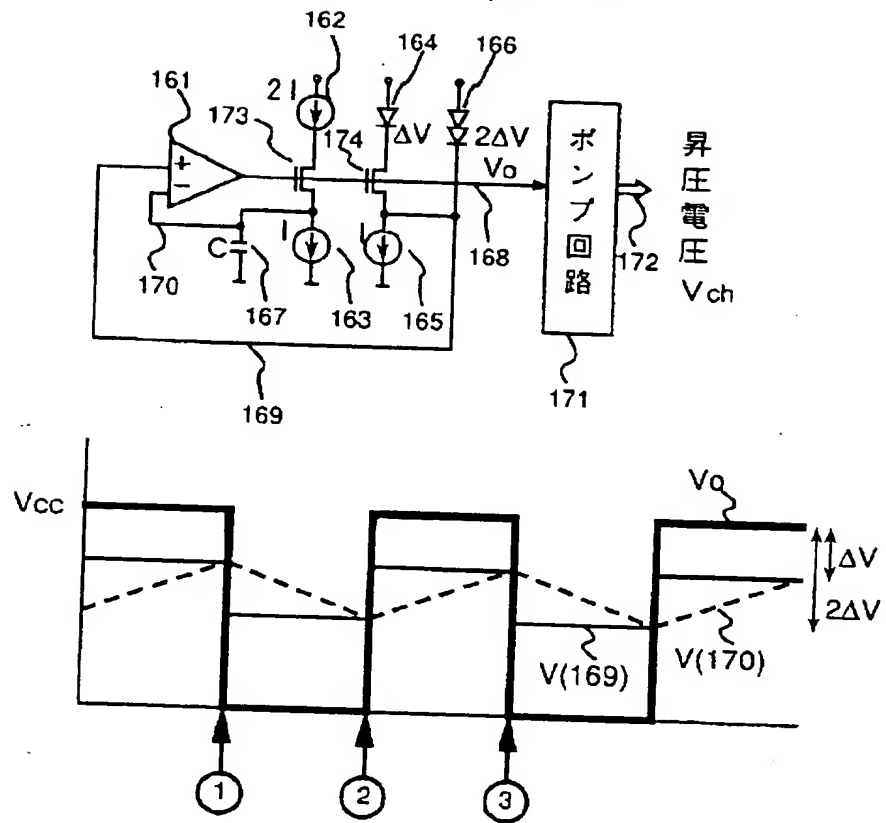
【図15】

(図15)



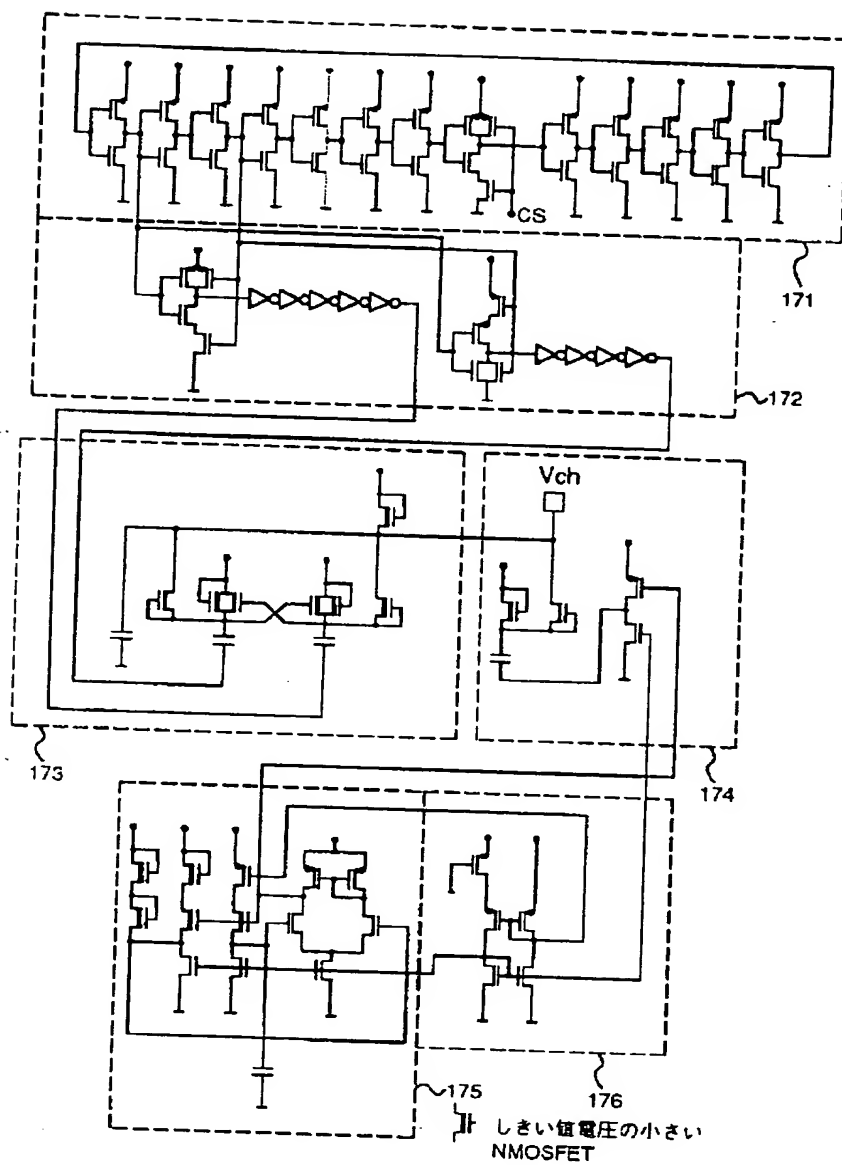
【図 16】

(図 16)



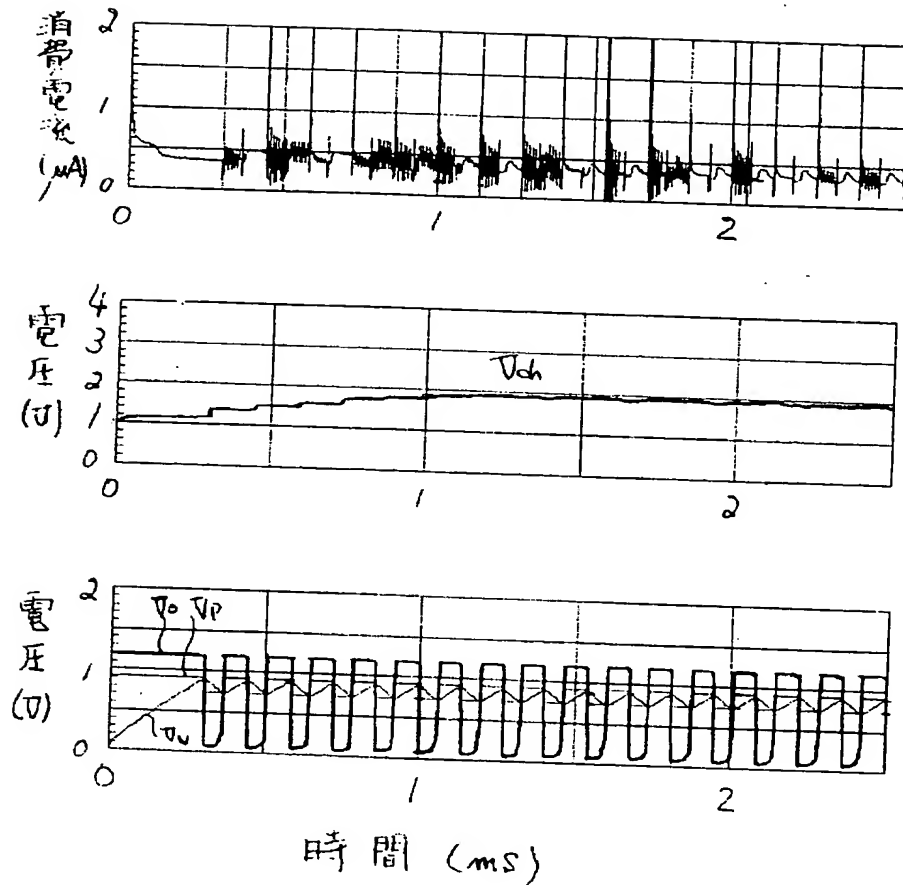
【図17】

(図17)



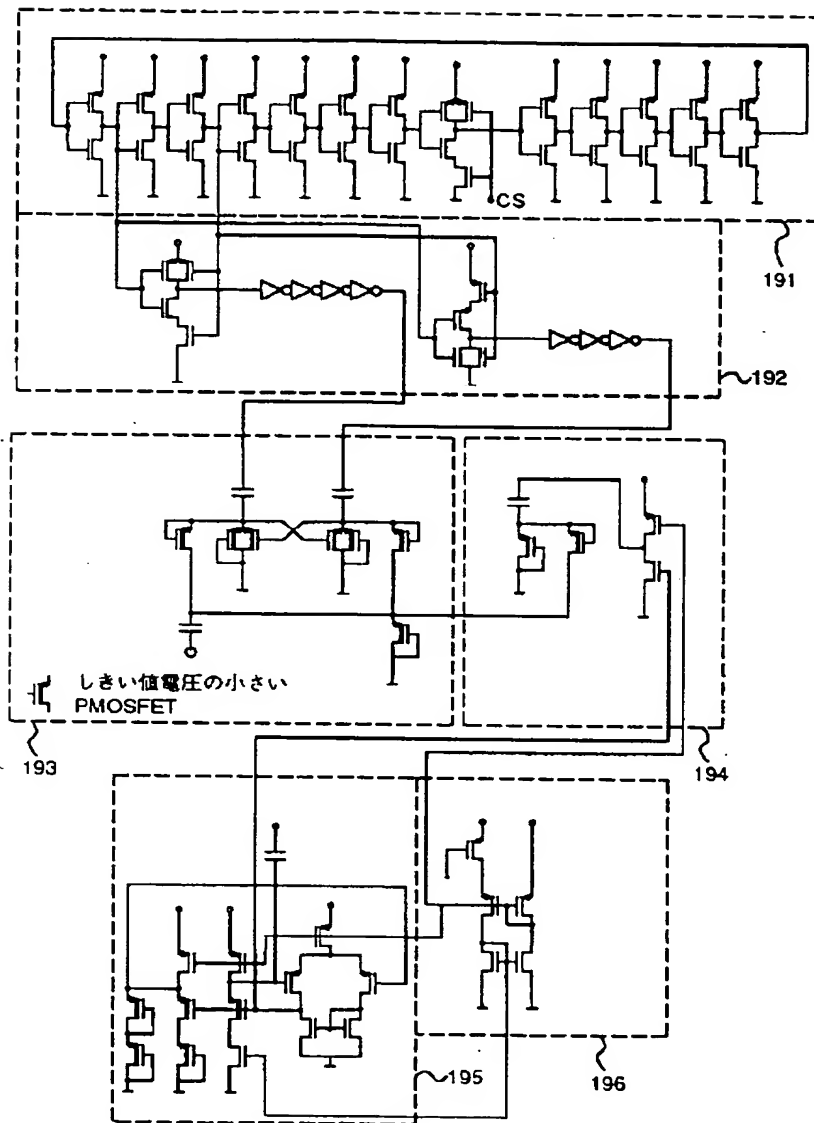
【図18】

(図18)

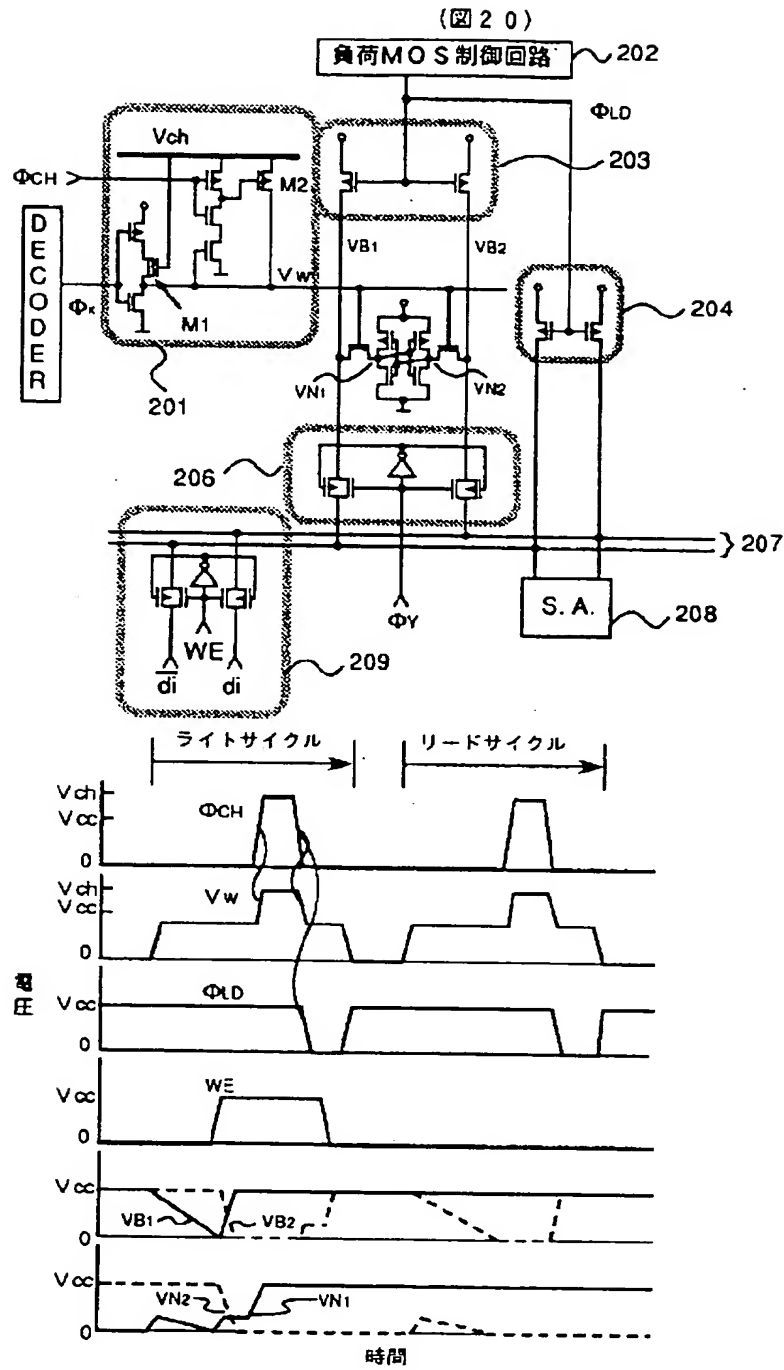


【図19】

(図19)



【図20】



【図21】

(図21)

